



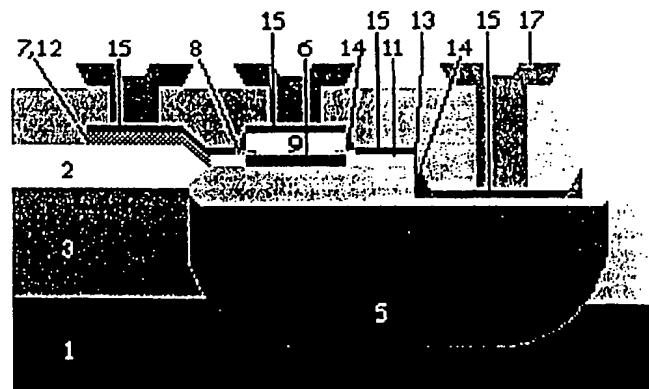
(51) Internationale Patentklassifikation 7 :  H01L 29/732, 29/737, 29/10, 21/331		A1	(11) Internationale Veröffentlichungsnummer: WO 00/14806  (43) Internationales Veröffentlichungsdatum: 16. März 2000 (16.03.00)
(21) Internationales Aktenzeichen: PCT/DE99/02884		(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: 8. September 1999 (08.09.99)			
(30) Prioritätsdaten: 198 42 106.0 8. September 1998 (08.09.98) DE		<b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>	
(71) Anmelder ( <i>für alle Bestimmungsstaaten ausser US</i> ): INSTITUT FÜR HALBLEITERPHYSIK FRANKFURT (ODER) GMBH [DE/DE]; Walter-Korsing-Strasse 2, D-15230 Frankfurt an der Oder (DE).			
(72) Erfinder; und (75) Erfänger/Anmelder ( <i>nur für US</i> ): EHWALD, Karl-Ernst [DE/DE]; Pfauenweg 17, D-15234 Frankfurt an der Oder (DE). KNOLL, Dieter [DE/DE]; Uferstrasse 7, D-15230 Frankfurt an der Oder (DE). HEINEMANN, Bernd [DE/DE]; Schalmeienweg 29, D-15234 Frankfurt an der Oder (DE).			
(74) Anwalt: HEITSCH, Wolfgang; Göhlsdorfer Strasse 25g, D-14778 Jeserig (DE).			

(54) Title: VERTICAL BIPOLAR TRANSISTOR AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: VERTIKALER BIPOLARTRANSISTOR UND VERFAHREN ZU SEINER HERSTELLUNG

## (57) Abstract

The invention relates to a vertical bipolar transistor and a method for the production thereof. The aim of the invention is to produce a vertical bipolar transistor and to disclose a method for the production thereof, whereby excellent high frequency properties can be obtained for said transistor using the simplest possible production technology involving an implanted epitaxy-free collector and only one polysilicon layer spread over a large surface and which can be easily integrated into a conventional mainstream CMOS process without epitaxially produced trough areas. It is possible to simplify technology, while at the same time improving the high frequency parameters of vertical bipolar transistors by reducing the parasitic lateral and vertical components of the resistance of the collector, by means of a self-adjusting transistor construction in conjunction with a special method of production, whereby a highly doped monocrystalline base connection area surrounding the active base in a ring-like manner is removed in the region of the collector connection by reactive ion etching, together with the underlying less doped area of the collector or a part thereof.



**(57) Zusammenfassung**

Die Erfindung bezieht sich auf einen vertikalen Bipolartransistor und ein Verfahren zu seiner Herstellung. Aufgabe der Erfindung ist es, einen vertikalen Bipolartransistor und ein Verfahren zu seiner Herstellung vorzuschlagen, wobei ausgezeichnete Hochfrequenzeigenschaften des Transistors mit einer möglichst einfachen Herstellungstechnologie erreicht werden, die mit einem implantierten epitaxiefreien Kollektor und nur einer grossflächig abgeschiedenen Polysiliziumebene auskommt und leicht in einen konventionellen "Mainstream"-CMOS-Prozess ohne epitaxial hergestellte Wannengebiete integrierbar ist. Eine Vereinfachung der Herstellungstechnologie bei gleichzeitiger Verbesserung der Hochfrequenzparameter vertikaler Bipolartransistoren über eine Reduzierung der parasitären lateralen und vertikalen Kollektorwiderstandskomponenten wird erfundungsgemäss durch eine selbstjustierende Transistorkonstruktion in Verbindung mit einem speziellen Herstellungsverfahren erreicht, bei welchem ein die aktive Basis ringförmig umgebendes hochdotiertes einkristallines Basisanschlussgebiet im Bereich des Kollektoranschlusses durch reaktives Ionätzen zusammen mit der darunterliegenden schwächerdotierten Zone des Kollektors oder mit einem Teil desselben entfernt wird.

**LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

**Vertikaler Bipolartransistor und Verfahren zu seiner Herstellung**

5 Die Erfindung bezieht sich auf einen vertikalen Bipolartransistor und ein Verfahren zu seiner Herstellung.

Der Kollektorwiderstand, der entscheidend die Hochfrequenzeigenschaften von Bipolartransistoren mitbestimmt, hat bei konventionellen Transistorkonstruktionen eine  
10 gewöhnlich nicht zu vernachlässigende parasitäre Lateralkomponente.

Diese kommt dadurch zustande, daß übliche Konstruktionen für vertikale Bipolartransistoren einen Kollektoranschluß benutzen, der vom Basisgebiet des aktiven (inneren) Transistors lateral durch Feldoxid getrennt ist, und ein Basisanschlußgebiet, das üblicherweise allseitig den Emitter umschließt, um den für die Hochfrequenzeigenschaften des Transistors ebenfalls  
15 wichtigen Basiswiderstand gering zu halten. Dabei wird der minimale Abstand zwischen Kollektoranschluß und innerem Transistor bei einer gegebenen, zur Realisierung eines minimalen Basisanschlußwiderstandes nicht unterschreitbaren lateralen Ausdehnung des Basisanschlußgebietes durch die jeweiligen Entwurfsregeln für den Maskenschritt, der die  
Feldoxide gebiete definiert, festgelegt und entspricht mindestens den durch die  
20 Strukturerzeugung bestimmten Minimalabmessungen.

Die Größe der parasitären Lateralkomponente des Kollektorwiderstandes wird, außer durch die laterale Abmessung des Feldoxidegebietes, maßgeblich durch den Schichtwiderstand des Subkollektors beeinflußt. Der Subkollektor besteht aus einer hochdotierten Halbleiterzone, die in vertikaler Richtung vom Basisgebiet des aktiven Transistors durch eine deutlich schwächer  
25 dotierte, meist durch Epitaxie hergestellte Kollektorschicht getrennt ist. Eine Reduzierung des

Schichtwiderstandes dieser Anordnung unter das bereits erreichte und praktisch genutzte Niveau ist technologisch kaum möglich. Es ist aber im Gegenteil wünschenswert, sehr gute Hochfrequenzeigenschaften auch mit relativ einfach herstellbaren, „retrograd“ implantierten Kollektorprofilen zu erreichen, zu deren Realisierung weder eine Epitaxieschicht noch ein 5 getrennt hergestellter Subkollektor benutzt wird und die daher mit einem verhältnismäßig hohen Kollektorwiderstand gekoppelt sind. Es sind zwar Lösungen z. B. aus EP 227 970 B1 bekannt, mit derartigen implantierten retrograden Kollektorprofilen dennoch brauchbare Kollektorwiderstände und gute Hochfrequenzeigenschaften zu erreichen, jedoch haben diese Lösungen den Nachteil eines aufwendigen Herstellungsprozesses mit mindestens zwei sich 10 überlappenden Polysiliziumebenen für den Basisanschluß und den Emitter. Daher wird die angestrebte kostensenkende Vereinfachung des Herstellungsprozesses mit den erwähnten bekannten Lösungen nicht oder nur teilweise erreicht.

Aufgabe der Erfindung ist es, einen vertikalen Bipolartransistor und ein Verfahren zu seiner 15 Herstellung vorzuschlagen, wobei ausgezeichnete Hochfrequenzeigenschaften des Transistors mit einer möglichst einfachen Herstellungstechnologie erreicht werden, die mit einem implantierten epitaxiefreien Kollektor und nur einer großflächig abgeschiedenen Polysiliziumebene auskommt und leicht in einen konventionellen „Mainstream“-CMOS-Prozeß ohne epitaxial hergestellte Wannengebiete integrierbar ist.

20

Eine Vereinfachung der Herstellungstechnologie bei gleichzeitiger Verbesserung der Hochfrequenzparameter vertikaler Bipolartransistoren über eine Reduzierung der parasitären lateralen und vertikalen Kollektorwiderstandskomponenten wird erfindungsgemäß durch eine selbstjustierende Transistorkonstruktion in Verbindung mit einem speziellen 25 Herstellungsverfahren erreicht, bei welchem ein die aktive Basis ringförmig umgebendes

hochdotiertes einkristallines Basisanschlußgebiet im Bereich des Kollektoranschlusses durch reaktives Ionenätzen zusammen mit der darunterliegenden schwächerdotierten Zone des Kollektors oder mit einem Teil desselben entfernt wird. Dadurch wird eine Selbstpositionierung des tieferliegenden Kollektoranschlusses zum Basisgebiet ermöglicht, 5 die es erlaubt, den Abstand zwischen dem silizierten Kollektoranschluß und dem gleichfalls silizierten einkristallinen Basisanschlußgebiet durch einen konventionell an der Ätzstufe hergestellten Spacer aus isolierendem Material auf das funktionell bedingte Minimum zu reduzieren. Durch die Entfernung der schwächerdotierten Kollektorzone entfällt die Notwendigkeit einer sogenannten Kollektorschachimplantation, und die vertikale 10 Komponente des Kollektoranschlußwiderstandes wird ebenfalls verringert. Vor der erfindungsgemäßen, vorzugsweise gemeinsamen, selbstpositionierenden Silizierung (Salizierung) von Basisanschluß- und Kollektoranschlußgebiet ist lediglich eine flache Hochdosisimplantation erforderlich, wie die Erzeugung flacher S/D-Gebiete in modernen MOS-Technologien üblich. Ausgenommen von der Salizierung sind lediglich schmale, durch 15 die Spacer aus isolierendem Material bzw. durch den das Basisanschlußgebiet überlappenden Emitter abgedeckte Randzonen des Basis- bzw. Kollektoranschlußgebietes. Der auf diese Weise selbstpositioniert zum Basisanschlußgebiet hergestellte Kollektoranschluß umgibt den inneren Transistor im allgemeinen an drei Seiten, so daß die Lateralkomponente des Kollektorwiderstandes im Sinne der Aufgabenstellung weiter minimiert wird. Bei Integration 20 des erfindungsgemäß hergestellten Bipolartransistors in einem CMOS-Prozeß kann die Silizierung des Basis- und Kollektoranschlusses zweckmäßigerweise gemeinsam mit der Silizierung der S/D- und Gategebiete erfolgen.

In einer besonders vorteilhaften Ausführungsform der Erfindung weist das Basisanschlußgebiet einen zweiten äußeren Teilbereich auf, welcher aus einem Metallsilizid 25 auf einer hochdotierten polykristallinen Schicht des gleichen Materials und vom gleichen

Dotierungstyp wie der innere einkristalline Teilbereich besteht. Dieser äußere Teilbereich ist durch eine dicke Isolationsschicht vom Kollektor bzw. vom einkristallinen Halbleitersubstrat getrennt und weist deshalb zum Kollektor bzw. zum einkristallinen Halbleitersubstrat im Vergleich zum ersten Teilbereich eine sehr geringe Kapazität auf.

5 In einer weiteren besonders vorteilhaften Ausführungsform der Erfindung ist der Kollektor und Subkollektor der npn-Bipolartransistoren Bestandteil eines durch P-Ionenimplantation im Halbleitersubstrat erzeugten retrograden Dotierungsprofils, welches auch als Wanne der auf der gleichen Scheibe integrierten MOS-Transistoren benutzt werden kann. Obwohl im Vergleich zu herkömmlichen Transistorkonstruktionen mit epitaxialem Kollektor und einer 10 hochdotierten vergrabenem Subkollektorschicht der Subkollektor eines derart erzeugten Bipolartransistors einen um ein Mehrfaches höheren Schichtwiderstand aufweist, ist der Kollektorwiderstand vergleichbar mit demjenigen von Standardkonstruktionen mit Epitaxie und vergrabenem Subkollektor.

Die innere Basis und der einkristalline Teilbereich des Basisanschlußgebietes bestehen 15 vorzugsweise aus epitaxial abgeschiedenem Silizium oder Silizium-Germanium. Konstruktionen mit implantiertem Basisgebiet sind im Rahmen dieser Erfindung jedoch ebenfalls möglich, ebenso wie die hier beschriebene Erfindung auch bei Verwendung konventioneller Bipolarwannen mit niederohmigem Subkollektor und epitaxialem Kollektor dazu benutzt werden kann, den Kollektorwiderstand gegenüber den bekannten 20 Standardkonstruktionen noch weiter abzusenken und dadurch z. B. die Grenzfrequenz  $f_g$  und die maximale Schwingfrequenz  $f_{max}$  über die mit Standardkonstruktionen bisher erreichten Werte hinaus zu erhöhen.

Verfahrenstechnisch kann diese Konstruktion dadurch besonders günstig realisiert werden, daß in einem zusammenhängenden aktiven Gebiet, welches den späteren Kollektoranschluß 25 mit enthält, zunächst Subkollektor, Kollektor, Basis und eine diese bedeckende Isolatorschicht

übereinander erzeugt und Emitterfenster in die Isolatorschicht eingebracht werden. Anschließend wird ein die Emitterfenster überlappender, vorzugsweise aus hochdotiertem Polysilizium bestehender Emitter abgeschieden. Danach wird, vorzugsweise selbstjustiert zum Polysilizium des Emitters, das den Emitter umgebende Basisanschlußgebiet im Vergleich zur inneren Basis sehr hoch dotiert und anschließend im Bereich des späteren Kollektoranschlusses durch einen geeigneten anisotropen Ätzschritt vollständig entfernt, zusammen mit mindestens einem Teil des schwachdotierten Kollektors. Während dieses Ätzschrittes werden die innere Basis einschließlich des sie bedeckenden Emitters und das spätere Basisanschlußgebiet durch eine Lack- oder Hartmaske geschützt. Durch einen selbstjustierend an der beim Ätzen entstandenen nahezu senkrechten Stufe erzeugten Spacer aus isolierendem Material wird bei einem nachfolgenden Salizidprozeß mit Silizidbildung auf dem tieferliegenden Kollektoranschluß und vorzugsweise gleichzeitig auch auf dem Basisanschlußgebiet die Silizidbildung an der Stufenwand verhindert.

Bei Verwendung einer epitaxialen Basis wird mindestens ein Teil der polykristallinen Schicht, welche den äußeren Teilbereich bildet, während der epitaxialen Abscheidung des ersten Teilbereichs des Basisanschlußgebietes simultan abgeschieden. Die selbstpositionierende Implantation der hochdotierten Halbleiterzone unter dem Metallsilizid des Kollektoranschlusses wird in einer weiteren günstigen Verfahrensvariante durch eine für besagte Implantation undurchlässige, beim reaktiven Ionenätzen der Basis und der schwachdotierten Kollektorzone verwendete Hilfsmaske und durch einen nach dem Ätzen des schwachdotierten Kollektorgebietes an den Ätzkanten erzeugten Spacer ermöglicht.

Weitere günstige Verfahrensvarianten werden in den entsprechenden Unteransprüchen und im Ausführungsbeispiel beschrieben.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und der Zeichnung hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähige Ausführungen darstellen, für die hier Schutz beansprucht wird. Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt  
5 und wird im folgenden näher erläutert.

Fig. 5 zeigt den schematischen Aufbau eines vertikalen npn Silizium/Silizium-Germanium-Heterojunction Bipolar-Transistors mit implantiertem Kollektor, epitaxialer Basis und zum Basisanschlußgebiet selbstpositioniertem Kollektoranschluß. Die Fig. 1 bis 4 verdeutlichen  
10 verschiedene Abschnitte des Herstellungsprozesses.

Das Beispiel geht von einer konventionell hergestellten Grundstruktur in einem p-leitenden Silizium-Substrat 1 aus. Das Substrat enthält durch LOCOS-Oxidation erzeugte Feldoxid-Gebiete 2 mit darunter angeordneten Silizium-Gebieten 3, die vom gleichen Leitungstyp wie das Substrat sind, aber ein höheres Dotierniveau besitzen.

15 In diese Grundstruktur wird mittels Implantation von vorzugsweise Phosphor-Ionen ein Dotierungsprofil eingebracht, das von der Oberfläche beginnend in der Konzentration der eingebrachten Dotieratome zunimmt und erst in der Tiefe ein Maximum erreicht (retrogrades Dotierungsprofil) und welches Subkollektorgebiete 5 und die Kollektorgebiete 4 des Transistors bildet. Während der Implantation ist bei geeigneter Wahl der Implantationsenergie  
20 und Gestaltung der Feldoxid-Gebiete 2 und der Silizium-Gebiete 3 keine gesonderte Maskierung erforderlich, wodurch gewährleistet ist, daß die Kollektorgebiete 4 und die Subkollektorgebiete 5 im gesamten Raum zwischen den Silizium-Gebieten 3 entstehen, die die äußere Transistorbegrenzung bilden. Nach Ausheilung der Implantationsschäden und einer geeigneten Reinigung der freigelegten aktiven Silizium-Gebiete erfolgt die epitaxiale  
25 Abscheidung des Basis-Schichtstapels 6, der eine Silizium-Germanium-Schicht mit hoher

Bor-Dotierung enthält, welche während des Epitaxieprozesses eingebracht wird. Der Epitaxieprozeß wird so gesteuert, daß auf den Feldoxid-Gebieten 2 simultan eine polykristalline Schicht 7 aufwächst, die eine etwa vergleichbare Dicke wie der epitaxiale Silizium-Germanium-Schichtstapel 6 aufweist und sich lateral an diesen ohne Unterbrechung anschließt (Fig. 1). Nach Abscheidung einer SiO<sub>2</sub>-Schicht 8 wird diese mittels üblicher Fotolack- und Ätztechnik in den Gebieten entfernt, die den inneren Transistor bilden. Nach Entfernung der Lackmaske und geeigneter Reinigung erfolgt nacheinander die Abscheidung einer in Situ Arsen-dotierten Polysiliziumschicht 9 und einer Si<sub>3</sub>N<sub>4</sub>-Schicht 10. Die Polysiliziumschicht 9 und die Si<sub>3</sub>N<sub>4</sub>-Schicht 10 werden anschließend unter Verwendung einer zweiten Lackmaske, welche die in die SiO<sub>2</sub>-Schicht 8 geätzten Fenster vollständig mit einer vorgegebenen geringen Überlappung bedeckt, mittels anisotroper Ionenätzung bis auf die Bereiche des späteren Polysiliziumemitters mit Ätzstopp auf der SiO<sub>2</sub>-Schicht 8 entfernt. Nach Entfernung der Lackmaske werden selbstjustierend zum mit Si<sub>3</sub>N<sub>4</sub>-bedeckten Emitter die freigelegten Bereiche des Basisschichtstapels mit einer hohen Dosis von BF<sub>2</sub>-Ionen implantiert. Die so entstandenen hochdotierten, im Bereich der Kollektorgebiete 5 einkristallinen und im Bereich der Feldoxid-Gebiete 2 polykristallinen Silizium-Germanium/Silizium-Schichtstapel werden mit einer weiteren Si<sub>3</sub>N<sub>4</sub>-Schicht bedeckt und anschließend mittels einer dritten Lackmaske so strukturiert, daß nur die inneren und äußeren Teilbereiche 11 und 12 des Basisanschlußgebietes erhalten bleiben. Dabei wird unter Ausnutzung des guten Ätzstopps des reaktiven Ionenätzens auf den Feldoxid-Gebieten 2 in den Kollektorgebieten 4 nach Entfernung des epitaxialen Silizium-Germanium-Schichtstapels 6 die Ätzung so lange fortgesetzt, bis der schwach dotierte Teil des Kollektors über den Subkollektorgebieten 5 entfernt ist (Fig. 2). Nach Entfernung der dritten Lackmaske wird mit bekannten Mitteln an den senkrechten Ätzkanten 13 ein Si<sub>3</sub>N<sub>4</sub>-Spacer restlos abgeätzt, und an den Steilkanten des Emitters und des Kollektoranschlußgebietes wird ein SiO<sub>2</sub>-Spacer 14

erzeugt. Anschließend wird mit bekannten Verfahren die Oberfläche der von Oxidresten befreiten Gebiete 5, 11, 12 und 9 in eine TiSi<sub>2</sub>-Schicht 15 umgewandelt, wobei an den Oxidspacern 14 bei diesem selbstpositionierenden Prozeß (Salizidprozeß) kein Silizid entsteht, so daß die Isolation zwischen diesen Gebieten gewährleistet bleibt (Fig. 3). Im weiteren Prozeßablauf wird auf konventionelle Weise über der beschriebenen Transistorkonstruktion eine dicke SiO<sub>2</sub>-Schicht 16 abgeschieden, planarisiert, mit Kontaktfenstern versehen, und Basis, Emitter und Kollektor werden mit Aluminiumleitbahnen 17 angeschlossen (Fig. 4 und 5).

Die beschriebene Transistorkonstruktion läßt sich ohne Schwierigkeiten in einen CMOS-Prozeß integrieren, bei welchem zweckmäßigerweise die Salizierung der Source/Drain- und Gate-Gebiete zusammen mit der Salizierung des Emitters, des Kollektors und des Basisanschlußgebietes erfolgen kann.

In der vorliegenden Erfindung wurde anhand eines konkreten Ausführungsbeispiels ein vertikaler Bipolartransistor und ein Verfahren zu seiner Herstellung erläutert. Es sei aber vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung im Ausführungsbeispiel eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden.

## Patentansprüche

1. Vertikaler Bipolartransistor mit zum Basisanschlußgebiet selbstpositioniertem Kollektoranschluß **dadurch gekennzeichnet**, daß
  - mindestens ein innerer Teilbereich des Basisanschlußgebietes in Form einer schmalen, den Emitter ringförmig umschließenden Schichtkombination aus einer hochdotierten einkristallinen Halbleiterzone und einem darüberliegenden hochleitfähigen Metallsilizid ausgebildet ist, wobei letzteres die gesamte Oberfläche besagter Halbleiterzone bedeckt und kontaktiert, mit Ausnahme sehr schmaler Randgebiete, die unter durch zur Berandung der hochdotierten einkristallinen Halbleiterzone selbstpositionierten Abdeckzonen aus einem isolierenden Material, sog. Spacern, liegen, und daß
    - dieser einkristalline innere Teilbereich des Basisanschlußgebietes an mindestens einer Seite an einen zu ihm selbspositioniert angeordneten, tieferliegenden Kollektoranschluß grenzt, welcher ebenfalls auf seiner gesamten Oberfläche mit Ausnahme schmaler, durch einen Spacer verdeckter Randbereiche mit einem hochleitfähigen Metallsilizid bedeckt und kontaktiert ist.
2. Vertikaler Bipolartransistor nach Anspruch 1, **dadurch gekennzeichnet**, daß der einkristalline innere Teilbereich des Basisanschlußgebietes an drei Seiten an einen zu ihm selbspositioniert angeordneten, tieferliegenden Kollektoranschluß grenzt.
3. Vertikaler Bipolartransistor nach Anspruch 1 und 2, **dadurch gekennzeichnet**, daß der einkristalline innere Teilbereich des Basisanschlußgebietes an drei annähernd gleich

langen Seiten an einen zu ihm selbspositioniert angeordneten, tieferliegenden Kollektoranschluß grenzt.

4. Vertikaler Bipolartransistor nach Anspruch 1 oder 2 oder 3, **dadurch gekennzeichnet**, daß die innere Basis und der einkristalline Teil des Basisanschlußgebietes unterhalb des hochleitfähigen Metallsilizids aus epitaxial abgeschiedenem Si oder SiGe besteht.
5. Vertikaler Bipolartransistor nach Anspruch 4, **dadurch gekennzeichnet**, daß ein äußerer Teilbereich des Basisanschlußgebietes, bestehend aus einem Metallsilizid auf einer hochdotierten polykristallinen Schicht des gleichen Materials und vom gleichen Dotierungstyp wie die unterhalb des hochleitfähigen Metallsilizids liegende epitaxial abgeschiedene einkristalline Teilschicht des inneren Teilbereichs des Basisanschlußgebietes, durch eine dicke Isolatorschicht vom Kollektor bzw. vom einkristallinen Halbleitersubstrat getrennt ist und zum Kollektor bzw. zum Substrat eine im Vergleich mit dem inneren Teilbereich des Basisanschlußgebietes sehr geringe Kapazität besitzt.
15. Verfahren zur Herstellung eines vertikalen Bipolartransistors nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß zur Realisierung des tieferliegenden, zum Basisanschlußgebiet selbstpositionierten Kollektoranschlußgebietes nach einer zur äußeren Begrenzung des Emitters selbstpositionierten Basisanschlußimplantation die anisotrope Ätzung des Basisanschlußgebietes und wenigstens eines Teils der darunterliegenden schwächerdotierten Kollektorschicht mittels einer Kombination aus einer Lackmaske und einer Hartmaske aus selektiv zu den übrigen Gebieten ätzbarem Material oder ausschließlich mit einer solchen Hartmaske erfolgt, wobei das verwendete

selektiv ätzbare Material eine Dicke besitzt, die größer ist als die Eindringtiefe der nachfolgend in den Kollektor implantierten Ionen, um in Verbindung mit einem anschließend an der Ätzkante erzeugten Spacer, bestehend aus dem gleichen oder einem anderen geeigneten Material, die Hochdosisimplantation zur Realisierung einer hohen Dotandenkonzentration an der Oberfläche des Kollektoranschlußgebietes sicher zu maskieren.

- 5        7. Verfahren nach Anspruch 5 oder 5 und 6, **dadurch gekennzeichnet**, daß mindestens ein Teil der hochdotierten polykristallinen Schicht des äußeren Teilbereichs des Basisanschlußgebietes während des Epitaxieprozesses, der zur Herstellung der inneren Basis und des inneren Teilbereichs des Basisanschlußgebietes dient, simultan abgeschieden wird.
- 10      8. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der durch Ionenimplantation erzeugte Kollektor ein durch die Implantationsparameter bestimmtes retrogrades Dotierungsprofil aufweist, daß der Subkollektor einen im Vergleich zu herkömmlichen Transistorkonstruktionen mit epitaxialem Kollektor und einem hochdotierten vergrabenem Gebiet deutlich höheren Schichtwiderstand besitzt und daß der Subkollektor selbst Bestandteil des durch Ionенimplantation im Halbleitersubstrat erzeugten retrograden Dotierungsprofils ist.
- 15      20     9. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der Kollektor im wesentlichen das gleiche Vertikalprofil wie die Wannen eines Typs der auf demselben Substrat erzeugten MOS-Transistoren besitzt und gleichzeitig mit denselben erzeugt wird.

10. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß das Metallsilizid, welches den Kollektoranschluß bedeckt und kontaktiert, gleichzeitig mit der Salizierung der Source- und Draingebiete von mitintegrierten MOS-Transistoren erzeugt wird.

5

11. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß die Basisanschlußgebiete zusammen mit dem Kollektoranschluß und/oder dem Emitter saliziert werden.

10

12. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß im gesamten Bereich des Kollektoranschlusses die schwach dotierte Kollektorzone vor der Silizidbildung durch ein geeignetes Ätzverfahren entfernt wird.

15

13. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß sich unter dem den Kollektoranschluß bedeckenden Metallsilizid eine hochdotierte Halbleiterzone vom Leitungstyp des Kollektors befindet, welche gleichzeitig mit den S/D-Gebieten von auf dem gleichen Si-Substrat angeordneten MOS-Transistoren erzeugt wird.

20

14. Verfahren zur Herstellung einer integrierten Schaltung mit n- und pMOS-Transistoren und vertikalen Bipolartransistoren nach einem oder mehreren der Ansprüche 1 bis 12, **gekennzeichnet durch** die Verfahrensschritte

a) Erzeugung von Feldisolationsgebieten auf p-Substrat mittels konventioneller LOCOS-Oxidation oder anderer bekannter Verfahren,

b) Implantation von P und B durch je eine Lackmaske zur Realisierung retrograd dotierter n- und p-Wannen für die späteren p- und nMOS-Transistoren/Bipolartransistoren und Ausheilung/Aktivierung der Implantate,

c) Entfernung der Oxidationsmaske aus den aktiven Gebieten und Erzeugung des Gateisolators für die MOS-Transistoren,

d) Abscheidung eines Schichtstapels aus amorphem oder polykristallinem SiGe, wobei die Ge-Konzentration zwischen 25% und 70% liegt, und polykristallinem Si,

Implantation von Bor zur Dotierung der MOS-Transistor-Gates und der Widerstände,

e)  $\text{Si}_3\text{N}_4$ - oder SiNO-Abscheidung und Strukturierung der  $\text{Si}_3\text{N}_4$ /SiNO-Schicht zusammen mit den Poly-SiGe/Si-Gates mittels einer Lackmaske, dabei auch Abdeckung der Gebiete der späteren Bipolartransistoren mit demselben Gatestapel,

f) Abscheidung eines selektiv ätzbaren Schutzschichtstapels über den strukturierten Gates

g) Erzeugung einer Lackmaske und Entfernung des Schutzschichtstapels, des Gatestapels und des Gateoxids auf den Gebieten der späteren Bipolartransistoren durch geeignete RIE- oder Naßätzverfahren,

h) Abscheidung eines Schichtstapels aus Si/SiGeC (B-dotiert)/Si in den geöffneten aktiven Gebieten durch differentielle Epitaxie bei gleichzeitiger Abscheidung eines entsprechenden polykristallinen Schichtstapels auf den mit Feldoxid bzw. mit dem Schutzschichtstapel versehenen Gebieten,

i) Abscheidung einer ersten etwa 30 nm bis 50 nm dünnen  $\text{SiO}_2$ -Schicht und Öffnung kleiner Fenster in derselben zur Definition der aktiven Emittergebiete mittels einer entsprechenden Lackmaske und geeigneter Ätzverfahren, Implantation von P und As zur

optimalen Einstellung der Dotierungsprofile im Kollektor und im einkristallinen Teil des Emitters,

k) Abscheidung von vorzugsweise in Situ As-dotiertem, amorphem oder polykristallinem Silizium,

5 l) Abscheidung einer ersten  $\text{Si}_3\text{N}_4$ - oder SiNO-Schicht, welche vorzugsweise eine Dicke von 100 nm bis 200 nm aufweist,

m) Strukturierung der  $\text{Si}_3\text{N}_4$ - oder SiNO/Poly-Silizium-Doppelschicht mittels einer Lackmaske und RIE-Versfahren derart, daß der Überhang des Polysiliziums über das Emitterfenster 0,1  $\mu\text{m}$  bis 0,4  $\mu\text{m}$  beträgt,

10 n) Implantation von  $\text{BF}_2$  zur Dotierung der Basisanschlußgebiete, Entfernung der ersten dünnen  $\text{SiO}_2$ -Schicht,

- Abscheidung einer zweiten dünnen  $\text{SiO}_2$ -Schicht und einer zweiten  $\text{Si}_3\text{N}_4$ -Schicht,

- Strukturierung der zweiten  $\text{Si}_3\text{N}_4$ -Schicht und der darunterliegenden Schichtfolge  $\text{Si}/\text{SiGe}/\text{Si}$  einschließlich der schwächer dotierten oberen Teilschicht des Kollektors

15 mittels eines anisotropen RIE-Verfahrens derart, daß um die bereits strukturierten Polyemittergebiete jeweils ein schmales ringförmiges  $\text{BF}_2$ -implantiertes einkristallines Basisanschlußgebiet stehenbleibt, welches sich an einer Seite der Transistoren im Bereich des späteren Metallkontakte

Bereich des späteren Metallkontakte als polykristalline Schicht auf dem Feldoxid fortsetzt und daß in einer das einkristalline Basisanschlußgebiet vorzugsweise U-förmig

20 umschließenden Zone der betreffenden aktiven Gebiete die hochdotierte Subkollektorschicht freigelegt wird,

o) Erzeugung eines  $\text{Si}_3\text{N}_4$ -Spacers an den beim letzten RIE-Prozeß entstandenen Steilkanten und selbstjustierende Implantation von As-Ionen in die vorzugsweise U-förmige Kollektoranschlußzone,

p) Erzeugung einer vorzugsweise etwa 10 nm dünnen thermischen Oxidschicht über den As-implantierten Gebieten,

q) Entfernung der zweiten  $\text{Si}_3\text{N}_4$ -Schicht und des unter f) erzeugten selektiv ätzbaren Schutzschichtstapels durch einen selektiven Ätzprozeß,

5 r) Implantation von As- und  $\text{BF}_2$ -Ionen zur Herstellung der Low Doped Drain-Gebiete (LDD-Gebiete) der MOS-Transistoren mittels einer oder zweier getrennter Lackmasken,

s) Erzeugung eines  $\text{SiO}_2$ -Spacers an den Kanten der Poly-Gates, den Emitterkanten und den Seitenkanten des Kollektoranschlußgebietes, wobei das Spaceroxid im Bereich der späteren Poly-Widerstände durch eine Lackmaske vor dem RIE-Prozeß geschützt wird,

10 t) vorzugsweise 10 nm dicke thermische Reoxidation der freigelegten Si-Gebiete und Implantation der n+ und p+ S/D-Gebiete,

u) Rapid Thermal Annealing (RTA) bei etwa 1000°C,

v) selektive Ätzung der  $\text{Si}_3\text{N}_4/\text{SiNO}$ -Schichten über den Polygates und über den Polyemittergebieten,

15 w) Abscheidung einer vorzugsweise etwa 20 bis 30 nm dünnen Ti-Schicht,

x) Bildung von  $\text{TiSi}_2$  auf Source, Drain und Gates der MOS-Transistoren und Emitter, Basis und Kollektor der Bipolartransistoren und Entfernung der Ti/TiN-Restschichten durch selektives Ätzen (Salizid-Prozeß) und

y) Isolatorabscheidung, Planarisierung, Kontaktfensteröffnung und  
20 Mehrebenenmetallisierung entsprechend bekannten Standardprozessen zur Komplettierung der BICMOS-Schaltungen.

Fig. 1

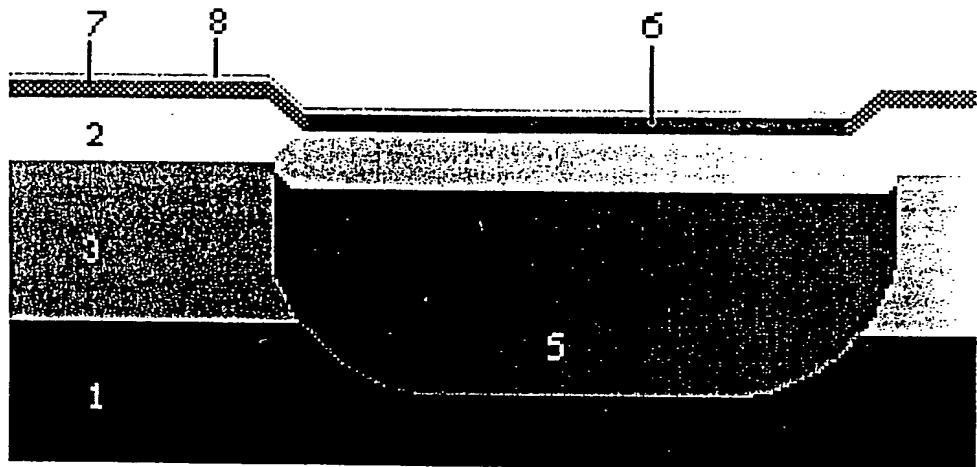


Fig. 2

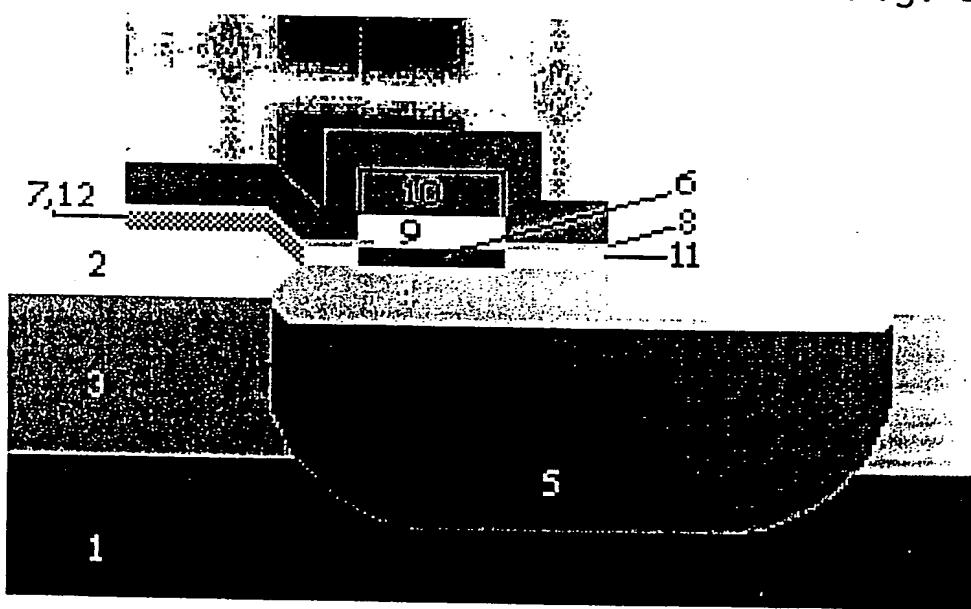


Fig. 3

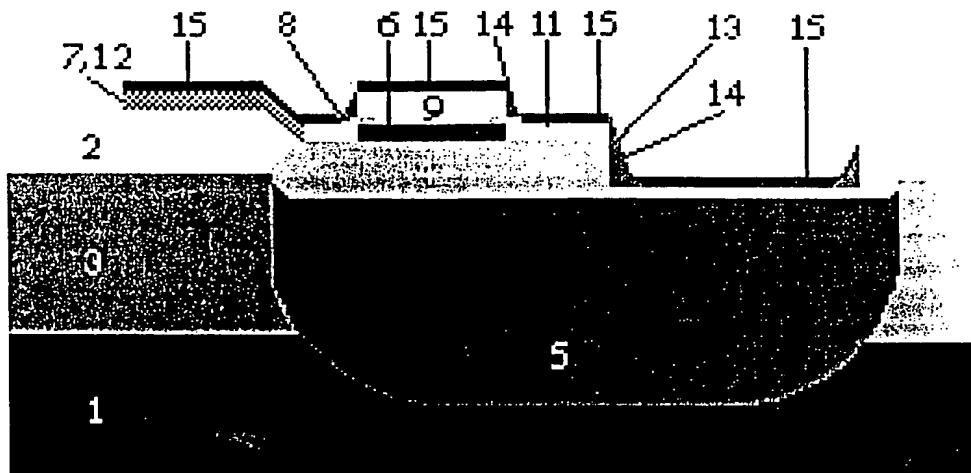


Fig. 4

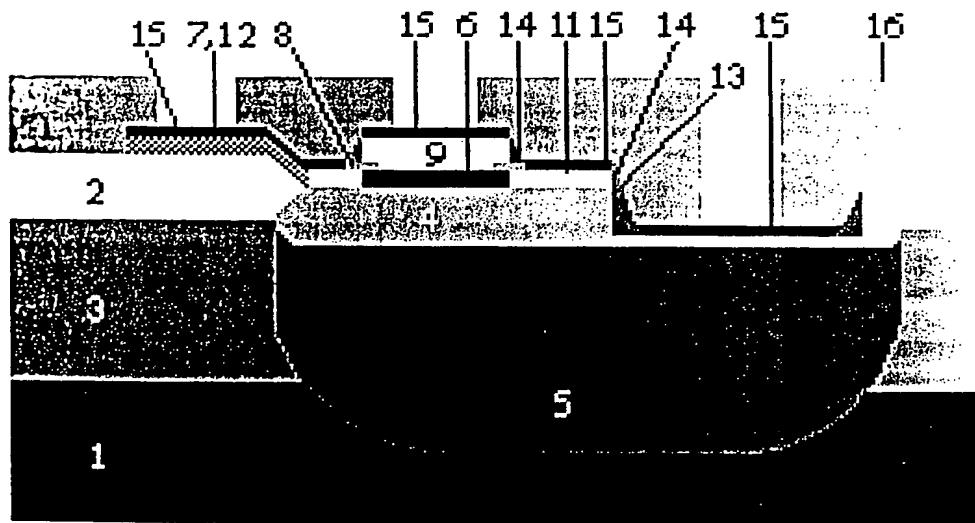
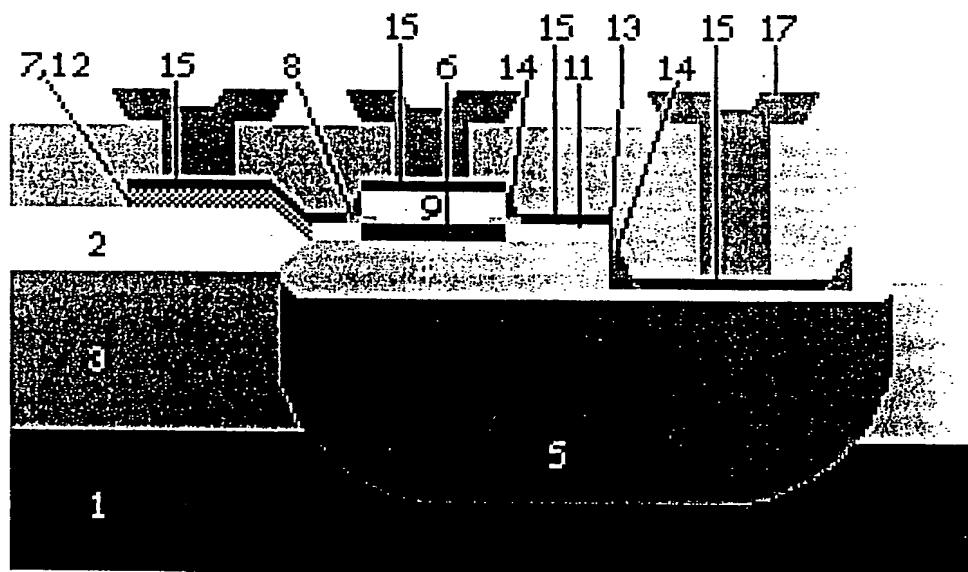


Fig. 5



## INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 99/02884

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L29/732 H01L29/737 H01L29/10 H01L21/331

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 550 962 A (AMERICAN TELEPHONE AND TELEGRAPH COMPANY) 14 July 1993 (1993-07-14) the whole document ----	1,4,11, 12
A	US 5 696 007 A (RYUM ET AL.) 9 December 1997 (1997-12-09) the whole document ----	1,4
A	DE 43 01 333 A (TEMIC TELEFUNKEN) 21 July 1994 (1994-07-21) the whole document -----	1,6

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

## ° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

9 February 2000

16/02/2000

## Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Baillet, B

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat	Application No
PCT/DE	99/02884

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
EP 550962	A 14-07-1993	JP 6084934	A	25-03-1994
US 5696007	A 09-12-1997	JP 9181089	A	11-07-1997
DE 4301333	A 21-07-1994	EP 0607836	A	27-07-1994
		US 5424227	A	13-06-1995

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/02884

**A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
 IPK 7 H01L29/732 H01L29/737 H01L29/10 H01L21/331

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
 IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 0 550 962 A (AMERICAN TELEPHONE AND TELEGRAPH COMPANY) 14. Juli 1993 (1993-07-14) das ganze Dokument ---	1,4,11, 12
A	US 5 696 007 A (RYUM ET AL.) 9. Dezember 1997 (1997-12-09) das ganze Dokument ---	1,4
A	DE 43 01 333 A (TEMIC TELEFUNKEN) 21. Juli 1994 (1994-07-21) das ganze Dokument -----	1,6

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- \* Besondere Kategorien von angegebenen Veröffentlichungen :
- "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

- "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche Absendedatum des internationalen Recherchenberichts

9. Februar 2000

16/02/2000

Name und Postanschrift der Internationalen Recherchenbehörde  
 Europäisches Patentamt, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Baillet, B

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/02884

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 550962 A	14-07-1993	JP	6084934 A	25-03-1994
US 5696007 A	09-12-1997	JP	9181089 A	11-07-1997
DE 4301333 A	21-07-1994	EP US	0607836 A 5424227 A	27-07-1994 13-06-1995



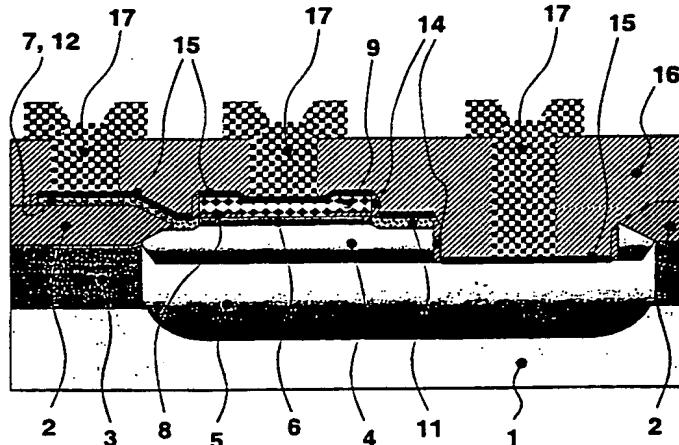
(51) Internationale Patentklassifikation <sup>7</sup> : <b>H01L 29/732, 29/737, 29/10, 21/331</b>		A1	(11) Internationale Veröffentlichungsnummer: <b>WO 00/14806</b>
			(43) Internationales Veröffentlichungsdatum: <b>16. März 2000 (16.03.00)</b>
(21) Internationales Aktenzeichen: <b>PCT/DE99/02884</b>		(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: <b>8. September 1999 (08.09.99)</b>			
(30) Prioritätsdaten: <b>198 42 106.0 8. September 1998 (08.09.98) DE</b>			
(71) Anmelder ( <i>für alle Bestimmungsstaaten ausser US</i> ): INSTITUT FÜR HALBLEITERPHYSIK FRANKFURT (ODER) GMBH [DE/DE]; Walter-Korsing-Strasse 2, D-15230 Frankfurt an der Oder (DE).			
(72) Erfinder; und			
(75) Erfinder/Anmelder ( <i>nur für US</i> ): EHWALD, Karl-Ernst [DE/DE]; Pfauenweg 17, D-15234 Frankfurt an der Oder (DE). KNOLL, Dieter [DE/DE]; Uferstrasse 7, D-15230 Frankfurt an der Oder (DE). HEINEMANN, Bernd [DE/DE]; Schalmeienweg 29, D-15234 Frankfurt an der Oder (DE).			
(74) Anwalt: HEITSCH, Wolfgang; Göhlsdorfer Strasse 25g, D-14778 Jeserig (DE).			

(54) Title: VERTICAL BIPOLAR TRANSISTOR AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: VERTIKALER BIPOLARTRANSISTOR UND VERFAHREN ZU SEINER HERSTELLUNG

## (57) Abstract

The invention relates to a vertical bipolar transistor and a method for the production thereof. The aim of the invention is to produce a vertical bipolar transistor and to disclose a method for the production thereof, whereby excellent high frequency properties can be obtained for said transistor using the simplest possible production technology involving an implanted epitaxy-free collector and only one polysilicon layer spread over a large surface and which can be easily integrated into a conventional mainstream CMOS process without epitaxially produced trough areas. It is possible to simplify technology, while at the same time improving the high frequency parameters of vertical bipolar transistors by reducing the parasitic lateral and vertical components of the resistance of the collector, by means of a self-adjusting transistor construction in conjunction with a special method of production, whereby a highly doped monocrystalline base connection area surrounding the active base in a ring-like manner is removed in the region of the collector connection by reactive ion etching, together with the underlying less doped area of the collector or a part thereof.



### (57) Zusammenfassung

Die Erfindung bezieht sich auf einen vertikalen Bipolartransistor und ein Verfahren zu seiner Herstellung. Aufgabe der Erfindung ist es, einen vertikalen Bipolartransistor und ein Verfahren zu seiner Herstellung vorzuschlagen, wobei ausgezeichnete Hochfrequenzeigenschaften des Transistors mit einer möglichst einfachen Herstellungstechnologie erreicht werden, die mit einem implantierten epitaxiefreien Kollektor und nur einer grossflächig abgeschiedenen Polysiliziumebene auskommt und leicht in einen konventionellen "Mainstream"-CMOS-Prozess ohne epitaxial hergestellte Wannengebiete integrierbar ist. Eine Vereinfachung der Herstellungstechnologie bei gleichzeitiger Verbesserung der Hochfrequenzparameter vertikaler Bipolartransistoren über eine Reduzierung der parasitären lateralen und vertikalen Kollektowiderstandskomponenten wird erfahrungsgemäss durch eine selbstjustierende Transistorkonstruktion in Verbindung mit einem speziellen Herstellungsverfahren erreicht, bei welchem ein die aktive Basis ringförmig umgebendes hochdotiertes einkristallines Basisanschlussgebiet im Bereich des Kollektoranschlusses durch reaktives Ionenätzen zusammen mit der darunterliegenden schwächerdotierten Zone des Kollektors oder mit einem Teil desselben entfernt wird.

### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		

**Vertikaler Bipolartransistor und Verfahren zu seiner Herstellung**

5 Die Erfindung bezieht sich auf einen vertikalen Bipolartransistor und ein Verfahren zu seiner Herstellung.

Der Kollektorwiderstand, der entscheidend die Hochfrequenzeigenschaften von Bipolartransistoren mitbestimmt, hat bei konventionellen Transistorkonstruktionen eine  
10 gewöhnlich nicht zu vernachlässigende parasitäre Lateralkomponente.

Diese kommt dadurch zustande, daß übliche Konstruktionen für vertikale Bipolartransistoren einen Kollektoranschluß benutzen, der vom Basisgebiet des aktiven (inneren) Transistors lateral durch Feldoxid getrennt ist, und ein Basisanschlußgebiet, das üblicherweise allseitig den Emitter umschließt, um den für die Hochfrequenzeigenschaften des Transistors ebenfalls  
15 wichtigen Basiswiderstand gering zu halten. Dabei wird der minimale Abstand zwischen Kollektoranschluß und innerem Transistor bei einer gegebenen, zur Realisierung eines minimalen Basisanschlußwiderstandes nicht unterschreitbaren lateralen Ausdehnung des Basisanschlußgebietes durch die jeweiligen Entwurfsregeln für den Maskenschritt, der die  
Feldoxidgebiete definiert, festgelegt und entspricht mindestens den durch die  
20 Strukturerzeugung bestimmten Minimalabmessungen.

Die Größe der parasitären Lateralkomponente des Kollektorwiderstandes wird, außer durch die laterale Abmessung des Feldoxidgebietes, maßgeblich durch den Schichtwiderstand des Subkollektors beeinflußt. Der Subkollektor besteht aus einer hochdotierten Halbleiterzone, die in vertikaler Richtung vom Basisgebiet des aktiven Transistors durch eine deutlich schwächer  
25 dotierte, meist durch Epitaxie hergestellte Kollektorschicht getrennt ist. Eine Reduzierung des

Schichtwiderstandes dieser Anordnung unter das bereits erreichte und praktisch genutzte Niveau ist technologisch kaum möglich. Es ist aber im Gegenteil wünschenswert, sehr gute Hochfrequenzeigenschaften auch mit relativ einfach herstellbaren, „retrograd“ implantierten Kollektorprofilen zu erreichen, zu deren Realisierung weder eine Epitaxieschicht noch ein 5 getrennt hergestellter Subkollektor benutzt wird und die daher mit einem verhältnismäßig hohen Kollektorwiderstand gekoppelt sind. Es sind zwar Lösungen z. B. aus EP 227 970 B1 bekannt, mit derartigen implantierten retrograden Kollektorprofilen dennoch brauchbare Kollektorwiderstände und gute Hochfrequenzeigenschaften zu erreichen, jedoch haben diese Lösungen den Nachteil eines aufwendigen Herstellungsprozesses mit mindestens zwei sich 10 überlappendenden Polysiliziumebenen für den Basisanschluß und den Emitter. Daher wird die angestrebte kostensenkende Vereinfachung des Herstellungsprozesses mit den erwähnten bekannten Lösungen nicht oder nur teilweise erreicht.

Aufgabe der Erfindung ist es, einen vertikalen Bipolartransistor und ein Verfahren zu seiner 15 Herstellung vorzuschlagen, wobei ausgezeichnete Hochfrequenzeigenschaften des Transistors mit einer möglichst einfachen Herstellungstechnologie erreicht werden, die mit einem implantierten epitaxiefreien Kollektor und nur einer großflächig abgeschiedenen Polysiliziumebene auskommt und leicht in einen konventionellen „Mainstream“-CMOS-Prozeß ohne epitaxial hergestellte Wannengebiete integrierbar ist.

20

Eine Vereinfachung der Herstellungstechnologie bei gleichzeitiger Verbesserung der Hochfrequenzparameter vertikaler Bipolartransistoren über eine Reduzierung der parasitären lateralen und vertikalen Kollektorwiderstandskomponenten wird erfindungsgemäß durch eine selbstjustierende Transistorkonstruktion in Verbindung mit einem speziellen 25 Herstellungsverfahren erreicht, bei welchem ein die aktive Basis ringförmig umgebendes

hochdotiertes einkristallines Basisanschlußgebiet im Bereich des Kollektoranschlusses durch reaktives Ionenätzen zusammen mit der darunterliegenden schwächerdotierten Zone des Kollektors oder mit einem Teil desselben entfernt wird. Dadurch wird eine Selbstpositionierung des tieferliegenden Kollektoranschlusses zum Basisgebiet ermöglicht, 5 die es erlaubt, den Abstand zwischen dem silizierten Kollektoranschluß und dem gleichfalls silizierten einkristallinen Basisanschlußgebiet durch einen konventionell an der Ätzstufe hergestellten Spacer aus isolierendem Material auf das funktionell bedingte Minimum zu reduzieren. Durch die Entfernung der schwächerdotierten Kollektorzone entfällt die Notwendigkeit einer sogenannten Kollektorschachimplantation, und die vertikale 10 Komponente des Kollektoranschlußwiderstandes wird ebenfalls verringert. Vor der erfindungsgemäßen, vorzugsweise gemeinsamen, selbstpositionierenden Silizierung (Salizierung) von Basisanschluß- und Kollektoranschlußgebiet ist lediglich eine flache Hochdosisimplantation erforderlich, wie die Erzeugung flacher S/D-Gebiete in modernen MOS-Technologien üblich. Ausgenommen von der Salizierung sind lediglich schmale, durch 15 die Spacer aus isolierendem Material bzw. durch den das Basisanschlußgebiet überlappenden Emitter abgedeckte Randzonen des Basis- bzw. Kollektoranschlußgebietes. Der auf diese Weise selbstpositioniert zum Basisanschlußgebiet hergestellte Kollektoranschluß umgibt den inneren Transistor im allgemeinen an drei Seiten, so daß die Lateralkomponente des Kollektorwiderstandes im Sinne der Aufgabenstellung weiter minimiert wird. Bei Integration 20 des erfindungsgemäß hergestellten Bipolartransistors in einem CMOS-Prozeß kann die Silizierung des Basis- und Kollektoranschlusses zweckmäßigerweise gemeinsam mit der Silizierung der S/D- und Gategebiete erfolgen.

In einer besonders vorteilhaften Ausführungsform der Erfindung weist das Basisanschlußgebiet einen zweiten äußeren Teilbereich auf, welcher aus einem Metallsilizid 25 auf einer hochdotierten polykristallinen Schicht des gleichen Materials und vom gleichen

Dotierungstyp wie der innere einkristalline Teilbereich besteht. Dieser äußere Teilbereich ist durch eine dicke Isolationsschicht vom Kollektor bzw. vom einkristallinen Halbleitersubstrat getrennt und weist deshalb zum Kollektor bzw. zum einkristallinen Halbleitersubstrat im Vergleich zum ersten Teilbereich eine sehr geringe Kapazität auf.

5 In einer weiteren besonders vorteilhaften Ausführungsform der Erfindung ist der Kollektor und Subkollektor der npn-Bipolartransistoren Bestandteil eines durch P-Ionenimplantation im Halbleitersubstrat erzeugten retrograden Dotierungsprofils, welches auch als Wanne der auf der gleichen Scheibe integrierten MOS-Transistoren benutzt werden kann. Obwohl im Vergleich zu herkömmlichen Transistorkonstruktionen mit epitaxialem Kollektor und einer 10 hochdotierten vergrabenem Subkollektorschicht der Subkollektor eines derart erzeugten Bipolartransistors einen um ein Mehrfaches höheren Schichtwiderstand aufweist, ist der Kollektorwiderstand vergleichbar mit demjenigen von Standardkonstruktionen mit Epitaxie und vergrabenem Subkollektor.

Die innere Basis und der einkristalline Teilbereich des Basisanschlußgebietes bestehen 15 vorzugsweise aus epitaxial abgeschiedenem Silizium oder Silizium-Germanium. Konstruktionen mit implantiertem Basisgebiet sind im Rahmen dieser Erfindung jedoch ebenfalls möglich, ebenso wie die hier beschriebene Erfindung auch bei Verwendung konventioneller Bipolarwannen mit niederohmigem Subkollektor und epitaxialem Kollektor dazu benutzt werden kann, den Kollektorwiderstand gegenüber den bekannten 20 Standardkonstruktionen noch weiter abzusenken und dadurch z. B. die Grenzfrequenz  $f_g$  und die maximale Schwingfrequenz  $f_{max}$  über die mit Standardkonstruktionen bisher erreichten Werte hinaus zu erhöhen.

Verfahrenstechnisch kann diese Konstruktion dadurch besonders günstig realisiert werden, daß in einem zusammenhängenden aktiven Gebiet, welches den späteren Kollektoranschluß 25 mit enthält, zunächst Subkollektor, Kollektor, Basis und eine diese bedeckende Isolatorschicht

übereinander erzeugt und Emitterfenster in die Isolatorschicht eingebracht werden. Anschließend wird ein die Emitterfenster überlappender, vorzugsweise aus hochdotiertem Polysilizium bestehender Emitter abgeschieden. Danach wird, vorzugsweise selbstjustiert zum Polysilizium des Emitters, das den Emitter umgebende Basisanschlußgebiet im Vergleich zur 5 inneren Basis sehr hoch dotiert und anschließend im Bereich des späteren Kollektoranschlusses durch einen geeigneten anisotropen Ätzschritt vollständig entfernt, zusammen mit mindestens einem Teil des schwachdotierten Kollektors. Während dieses Ätzschrittes werden die innere Basis einschließlich des sie bedeckenden Emitters und das spätere Basisanschlußgebiet durch eine Lack- oder Hartmaske geschützt. Durch einen 10 selbstjustierend an der beim Ätzen entstandenen nahezu senkrechten Stufe erzeugten Spacer aus isolierendem Material wird bei einem nachfolgenden Salizidprozeß mit Silizidbildung auf dem tieferliegenden Kollektoranschluß und vorzugsweise gleichzeitig auch auf dem Basisanschlußgebiet die Silizidbildung an der Stufenwand verhindert.

Bei Verwendung einer epitaxialen Basis wird mindestens ein Teil der polykristallinen Schicht, 15 welche den äußeren Teilbereich bildet, während der epitaxialen Abscheidung des ersten Teilbereichs des Basisanschlußgebietes simultan abgeschieden. Die selbstpositionierende Implantation der hochdotierten Halbleiterzone unter dem Metallsilizid des Kollektoranschlusses wird in einer weiteren günstigen Verfahrensvariante durch eine für besagte Implantation undurchlässige, beim reaktiven Ionenätzen der Basis und der 20 schwachdotierten Kollektorzone verwendete Hilfsmaske und durch einen nach dem Ätzen des schwachdotierten Kollektorgebietes an den Ätzkanten erzeugten Spacer ermöglicht.

Weitere günstige Verfahrensvarianten werden in den entsprechenden Unteransprüchen und im Ausführungsbeispiel beschrieben.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und der Zeichnung hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähige Ausführungen darstellen, für die hier Schutz beansprucht wird. Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt  
5 und wird im folgenden näher erläutert.

Fig. 5 zeigt den schematischen Aufbau eines vertikalen npn Silizium/Silizium-Germanium-Heterojunction Bipolar-Transistors mit implantiertem Kollektor, epitaxialer Basis und zum Basisanschlußgebiet selbstpositioniertem Kollektoranschluß. Die Fig. 1 bis 4 verdeutlichen  
10 verschiedene Abschnitte des Herstellungsprozesses.

Das Beispiel geht von einer konventionell hergestellten Grundstruktur in einem p-leitenden Silizium-Substrat 1 aus. Das Substrat enthält durch LOCOS-Oxidation erzeugte Feldoxid-Gebiete 2 mit darunter angeordneten Silizium-Gebieten 3, die vom gleichen Leitungstyp wie das Substrat sind, aber ein höheres Dotierniveau besitzen.

15 In diese Grundstruktur wird mittels Implantation von vorzugsweise Phosphor-Ionen ein Dotierungsprofil eingebracht, das von der Oberfläche beginnend in der Konzentration der eingebrachten Dotieratome zunimmt und erst in der Tiefe ein Maximum erreicht (retrogrades Dotierungsprofil) und welches Subkollektorgebiete 5 und die Kollektorgebiete 4 des Transistors bildet. Während der Implantation ist bei geeigneter Wahl der Implantationsenergie  
20 und Gestaltung der Feldoxid-Gebiete 2 und der Silizium-Gebiete 3 keine gesonderte Maskierung erforderlich, wodurch gewährleistet ist, daß die Kollektorgebiete 4 und die Subkollektorgebiete 5 im gesamten Raum zwischen den Silizium-Gebieten 3 entstehen, die die äußere Transistorbegrenzung bilden. Nach Ausheilung der Implantationsschäden und einer geeigneten Reinigung der freigelegten aktiven Silizium-Gebiete erfolgt die epitaxiale  
25 Abscheidung des Basis-Schichtstapels 6, der eine Silizium-Germanium-Schicht mit hoher

Bor-Dotierung enthält, welche während des Epitaxieprozesses eingebracht wird. Der Epitaxieprozeß wird so gesteuert, daß auf den Feldoxid-Gebieten 2 simultan eine polykristalline Schicht 7 aufwächst, die eine etwa vergleichbare Dicke wie der epitaxiale Silizium-Germanium-Schichtstapel 6 aufweist und sich lateral an diesen ohne Unterbrechung anschließt (Fig. 1). Nach Abscheidung einer  $\text{SiO}_2$ -Schicht 8 wird diese mittels üblicher Fotolack- und Ätztechnik in den Gebieten entfernt, die den inneren Transistor bilden. Nach Entfernung der Lackmaske und geeigneter Reinigung erfolgt nacheinander die Abscheidung einer in Situ Arsen-dotierten Polysiliziumschicht 9 und einer  $\text{Si}_3\text{N}_4$ -Schicht 10. Die Polysiliziumschicht 9 und die  $\text{Si}_3\text{N}_4$ -Schicht 10 werden anschließend unter Verwendung einer zweiten Lackmaske, welche die in die  $\text{SiO}_2$ -Schicht 8 geätzten Fenster vollständig mit einer vorgegebenen geringen Überlappung bedeckt, mittels anisotroper Ionenätzung bis auf die Bereiche des späteren Polysiliziumemitters mit Ätzstopp auf der  $\text{SiO}_2$ -Schicht 8 entfernt. Nach Entfernung der Lackmaske werden selbstjustierend zum mit  $\text{Si}_3\text{N}_4$ -bedeckten Emitter die freigelegten Bereiche des Basisschichtstapels mit einer hohen Dosis von  $\text{BF}_2^-$ -Ionen implantiert. Die so entstandenen hochdotierten, im Bereich der Kollektorgebiete 5 einkristallinen und im Bereich der Feldoxid-Gebiete 2 polykristallinen Silizium-Germanium/Silizium-Schichtstapel werden mit einer weiteren  $\text{Si}_3\text{N}_4$ -Schicht bedeckt und anschließend mittels einer dritten Lackmaske so strukturiert, daß nur die inneren und äußeren Teilbereiche 11 und 12 des Basisanschlußgebietes erhalten bleiben. Dabei wird unter Ausnutzung des guten Ätzstopps des reaktiven Ionenätzens auf den Feldoxid-Gebieten 2 in den Kollektorgebieten 4 nach Entfernung des epitaxialen Silizium-Germanium-Schichtstapels 6 die Ätzung so lange fortgesetzt, bis der schwach dotierte Teil des Kollektors über den Subkollektorgebieten 5 entfernt ist (Fig. 2). Nach Entfernung der dritten Lackmaske wird mit bekannten Mitteln an den senkrechten Ätzkanten 13 ein  $\text{Si}_3\text{N}_4$ -Spacer restlos abgeätzt, und an den Steilkanten des Emitters und des Kollektoranschlußgebietes wird ein  $\text{SiO}_2$ -Spacer 14

erzeugt. Anschließend wird mit bekannten Verfahren die Oberfläche der von Oxidresten befreiten Gebiete 5, 11, 12 und 9 in eine TiSi<sub>2</sub>-Schicht 15 umgewandelt, wobei an den Oxidspacern 14 bei diesem selbstpositionierenden Prozeß (Salizidprozeß) kein Silizid entsteht, so daß die Isolation zwischen diesen Gebieten gewährleistet bleibt (Fig. 3). Im 5 weiteren Prozeßablauf wird auf konventionelle Weise über der beschriebenen Transistorkonstruktion eine dicke SiO<sub>2</sub>-Schicht 16 abgeschieden, planarisiert, mit Kontaktfenstern versehen, und Basis, Emitter und Kollektor werden mit Aluminiumleitbahnen 17 angeschlossen (Fig. 4 und 5).

Die beschriebene Transistorkonstruktion läßt sich ohne Schwierigkeiten in einen CMOS-10 Prozeß integrieren, bei welchem zweckmäßigerweise die Salizierung der Source/Drain- und Gate-Gebiete zusammen mit der Salizierung des Emitters, des Kollektors und des Basisanschlußgebietes erfolgen kann.

In der vorliegenden Erfindung wurde anhand eines konkreten Ausführungsbeispiels ein 15 vertikaler Bipolartransistor und ein Verfahren zu seiner Herstellung erläutert. Es sei aber vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung im Ausführungsbeispiel eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden.

**Patentansprüche**

1. Vertikaler Bipolartransistor mit zum Basisanschlußgebiet selbstpositioniertem Kollektoranschluß **dadurch gekennzeichnet**, daß
  - mindestens ein innerer Teilbereich des Basisanschlußgebietes in Form einer schmalen, den Emitter ringförmig umschließenden Schichtkombination aus einer hochdotierten einkristallinen Halbleiterzone und einem darüberliegenden hochleitfähigen Metallsilizid ausgebildet ist, wobei letzteres die gesamte Oberfläche besagter Halbleiterzone bedeckt und kontaktiert, mit Ausnahme sehr schmaler Randgebiete, die unter durch zur Berandung der hochdotierten einkristallinen Halbleiterzone selbstpositionierten Abdeckzonen aus einem isolierenden Material, sog. Spacern, liegen, und daß
    - dieser einkristalline innere Teilbereich des Basisanschlußgebietes an mindestens einer Seite an einen zu ihm selbspositioniert angeordneten, tieferliegenden Kollektoranschluß grenzt, welcher ebenfalls auf seiner gesamten Oberfläche mit Ausnahme schmaler, durch einen Spacer verdeckter Randbereiche mit einem hochleitfähigen Metallsilizid bedeckt und kontaktiert ist.
2. Vertikaler Bipolartransistor nach Anspruch 1, **dadurch gekennzeichnet**, daß der einkristalline innere Teilbereich des Basisanschlußgebietes an drei Seiten an einen zu ihm selbspositioniert angeordneten, tieferliegenden Kollektoranschluß grenzt.
3. Vertikaler Bipolartransistor nach Anspruch 1 und 2, **dadurch gekennzeichnet**, daß der einkristalline innere Teilbereich des Basisanschlußgebietes an drei annähernd gleich

langen Seiten an einen zu ihm selbpositioniert angeordneten, tieferliegenden Kollektoranschluß grenzt.

4. Vertikaler Bipolartransistor nach Anspruch 1 oder 2 oder 3, **dadurch gekennzeichnet**, daß die innere Basis und der einkristalline Teil des Basisanschlußgebietes unterhalb des hochleitfähigen Metallsilizids aus epitaxial abgeschiedenem Si oder SiGe besteht.

5. Vertikaler Bipolartransistor nach Anspruch 4, **dadurch gekennzeichnet**, daß ein äußerer Teilbereich des Basisanschlußgebietes, bestehend aus einem Metallsilizid auf einer hochdotierten polykristallinen Schicht des gleichen Materials und vom gleichen Dotierungstyp wie die unterhalb des hochleitfähigen Metallsilizids liegende epitaxial abgeschiedene einkristalline Teilschicht des inneren Teilbereichs des Basisanschlußgebietes, durch eine dicke Isolatorschicht vom Kollektor bzw. vom einkristallinen Halbleitersubstrat getrennt ist und zum Kollektor bzw. zum Substrat eine im Vergleich mit dem inneren Teilbereich des Basisanschlußgebietes sehr geringe Kapazität besitzt.

6. Verfahren zur Herstellung eines vertikalen Bipolartransistors nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß zur Realisierung des tieferliegenden, zum Basisanschlußgebiet selbstpositionierten Kollektoranschlußgebietes nach einer zur äußeren Begrenzung des Emitters selbstpositionierten Basisanschlußimplantation die anisotrope Ätzung des Basisanschlußgebietes und wenigstens eines Teils der darunterliegenden schwächerdotierten Kollektorschicht mittels einer Kombination aus einer Lackmaske und einer Hartmaske aus selektiv zu den übrigen Gebieten ätzbarem Material oder ausschließlich mit einer solchen Hartmaske erfolgt, wobei das verwendete

selektiv ätzbare Material eine Dicke besitzt, die größer ist als die Eindringtiefe der nachfolgend in den Kollektor implantierten Ionen, um in Verbindung mit einem anschließend an der Ätzkante erzeugten Spacer, bestehend aus dem gleichen oder einem anderen geeigneten Material, die Hochdosisimplantation zur Realisierung einer hohen Dotandenkonzentration an der Oberfläche des Kollektoranschlußgebietes sicher zu maskieren.

- 5      7. Verfahren nach Anspruch 5 oder 5 und 6, **dadurch gekennzeichnet**, daß mindestens ein Teil der hochdotierten polykristallinen Schicht des äußeren Teilbereichs des Basisanschlußgebietes während des Epitaxieprozesses, der zur Herstellung der inneren Basis und des inneren Teilbereichs des Basisanschlußgebietes dient, simultan abgeschieden wird.
- 10     8. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der durch Ionenimplantation erzeugte Kollektor ein durch die Implantationsparameter bestimmtes retrogrades Dotierungsprofil aufweist, daß der Subkollektor einen im Vergleich zu herkömmlichen Transistorkonstruktionen mit epitaxialem Kollektor und einem hochdotierten vergrabenem Gebiet deutlich höheren Schichtwiderstand besitzt und daß der Subkollektor selbst Bestandteil des durch Ionenimplantation im Halbleitersubstrat erzeugten retrograden Dotierungsprofils ist.
- 15     20    9. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der Kollektor im wesentlichen das gleiche Vertikalprofil wie die Wannen eines Typs der auf demselben Substrat erzeugten MOS-Transistoren besitzt und gleichzeitig mit denselben erzeugt wird.

10. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß das Metallsilizid, welches den Kollektoranschluß bedeckt und kontaktiert, gleichzeitig mit der Salizierung der Source- und Draingebiete von mitintegrierten MOS-Transistoren erzeugt wird.

5

11. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß die Basisanschlußgebiete zusammen mit dem Kollektoranschluß und/oder dem Emitter saliziert werden.

10

12. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß im gesamten Bereich des Kollektoranschlusses die schwach dotierte Kollektorzone vor der Silizidbildung durch ein geeignetes Ätzverfahren entfernt wird.

15

13. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß sich unter dem den Kollektoranschluß bedeckenden Metallsilizid eine hochdotierte Halbleiterzone vom Leitungstyp des Kollektors befindet, welche gleichzeitig mit den S/D-Gebieten von auf dem gleichen Si-Substrat angeordneten MOS-Transistoren erzeugt wird.

20

14. Verfahren zur Herstellung einer integrierten Schaltung mit n- und pMOS-Transistoren und vertikalen Bipolartransistoren nach einem oder mehreren der Ansprüche 1 bis 12, **gekennzeichnet durch** die Verfahrensschritte

a) Erzeugung von Feldisolationsgebieten auf p-Substrat mittels konventioneller LOCOS-Oxidation oder anderer bekannter Verfahren,

b) Implantation von P und B durch je eine Lackmaske zur Realisierung retrograd dotierter n- und p-Wannen für die späteren p- und nMOS-Transistoren/Bipolartransistoren und Ausheilung/Aktivierung der Implantate,

c) Entfernung der Oxidationsmaske aus den aktiven Gebieten und Erzeugung des Gateisolators für die MOS-Transistoren,

d) Abscheidung eines Schichtstapels aus amorphem oder polykristallinem SiGe, wobei die Ge-Konzentration zwischen 25% und 70% liegt, und polykristallinem Si, Implantation von Bor zur Dotierung der MOS-Transistor-Gates und der Widerstände,

e) Si<sub>3</sub>N<sub>4</sub>- oder SiNO-Abscheidung und Strukturierung der Si<sub>3</sub>N<sub>4</sub>-/SiNO-Schicht zusammen mit den Poly-SiGe/Si-Gates mittels einer Lackmaske, dabei auch Abdeckung der Gebiete der späteren Bipolartransistoren mit demselben Gatestapel,

f) Abscheidung eines selektiv ätzbaren Schutzschichtstapels über den strukturierten Gates

g) Erzeugung einer Lackmaske und Entfernung des Schutzschichtstapels, des Gatestapels und des Gateoxids auf den Gebieten der späteren Bipolartransistoren durch geeignete RIE- oder Naßätzverfahren,

h) Abscheidung eines Schichtstapels aus Si/SiGeC (B-dotiert)/Si in den geöffneten aktiven Gebieten durch differentielle Epitaxie bei gleichzeitiger Abscheidung eines entsprechenden polykristallinen Schichtstapels auf den mit Feldoxid bzw. mit dem Schutzschichtstapel versehenen Gebieten,

i) Abscheidung einer ersten etwa 30 nm bis 50 nm dünnen SiO<sub>2</sub>-Schicht und Öffnung kleiner Fenster in derselben zur Definition der aktiven Emittergebiete mittels einer entsprechenden Lackmaske und geeigneter Ätzverfahren, Implantation von P und As zur

optimalen Einstellung der Dotierungsprofile im Kollektor und im einkristallinen Teil des Emitters,

k) Abscheidung von vorzugsweise in Situ As-dotiertem, amorphem oder polykristallinem Silizium,

5 l) Abscheidung einer ersten  $\text{Si}_3\text{N}_4$ - oder SiNO-Schicht, welche vorzugsweise eine Dicke von 100 nm bis 200 nm aufweist,

m) Strukturierung der  $\text{Si}_3\text{N}_4$ - oder SiNO/Poly-Silizium-Doppelschicht mittels einer Lackmaske und RIE-Verfahren derart, daß der Überhang des Polysiliziums über das Emittfenster 0,1  $\mu\text{m}$  bis 0,4  $\mu\text{m}$  beträgt,

10 n) Implantation von  $\text{BF}_2$  zur Dotierung der Basisanschlußgebiete, Entfernung der ersten dünnen  $\text{SiO}_2$ -Schicht,

- Abscheidung einer zweiten dünnen  $\text{SiO}_2$ -Schicht und einer zweiten  $\text{Si}_3\text{N}_4$ -Schicht,

- Strukturierung der zweiten  $\text{Si}_3\text{N}_4$ -Schicht und der darunterliegenden Schichtfolge Si/SiGe/Si einschließlich der schwächer dotierten oberen Teilschicht des Kollektors

15 mittels eines anisotropen RIE-Verfahrens derart, daß um die bereits strukturierten Polyemittergebiete jeweils ein schmales ringförmiges  $\text{BF}_2$ -implantiertes einkristallines Basisanschlußgebiet stehenbleibt, welches sich an einer Seite der Transistoren im Bereich des späteren Metallkontakte als polykristalline Schicht auf dem Feldoxid fortsetzt und daß in einer das einkristalline Basisanschlußgebiet vorzugsweise U-förmig 20 umschließenden Zone der betreffenden aktiven Gebiete die hochdotierte Subkollektorschicht freigelegt wird,

o) Erzeugung eines  $\text{Si}_3\text{N}_4$ -Spacers an den beim letzten RIE-Prozeß entstandenen Steilkanten und selbstjustierende Implantation von As-Ionen in die vorzugsweise U-förmige Kollektoranschlußzone,

p) Erzeugung einer vorzugsweise etwa 10 nm dünnen thermischen Oxidschicht über den As-implantierten Gebieten,

q) Entfernung der zweiten Si<sub>3</sub>N<sub>4</sub>-Schicht und des unter f) erzeugten selektiv ätzbaren Schutzschichtstapels durch einen selektiven Ätzprozeß,

5 r) Implantation von As- und BF<sub>2</sub>-Ionen zur Herstellung der Low Doped Drain-Gebiete (LDD-Gebiete) der MOS-Transistoren mittels einer oder zweier getrennter Lackmasken,

s) Erzeugung eines SiO<sub>2</sub>-Spacers an den Kanten der Poly-Gates, den Emitterkanten und den Seitenkanten des Kollektoranschlußgebietes, wobei das Spaceroxid im Bereich der späteren Poly-Widerstände durch eine Lackmaske vor dem RIE-Prozeß geschützt wird,

10 t) vorzugsweise 10 nm dicke thermische Reoxidation der freigelegten Si-Gebiete und Implantation der n+ und p+ S/D-Gebiete,

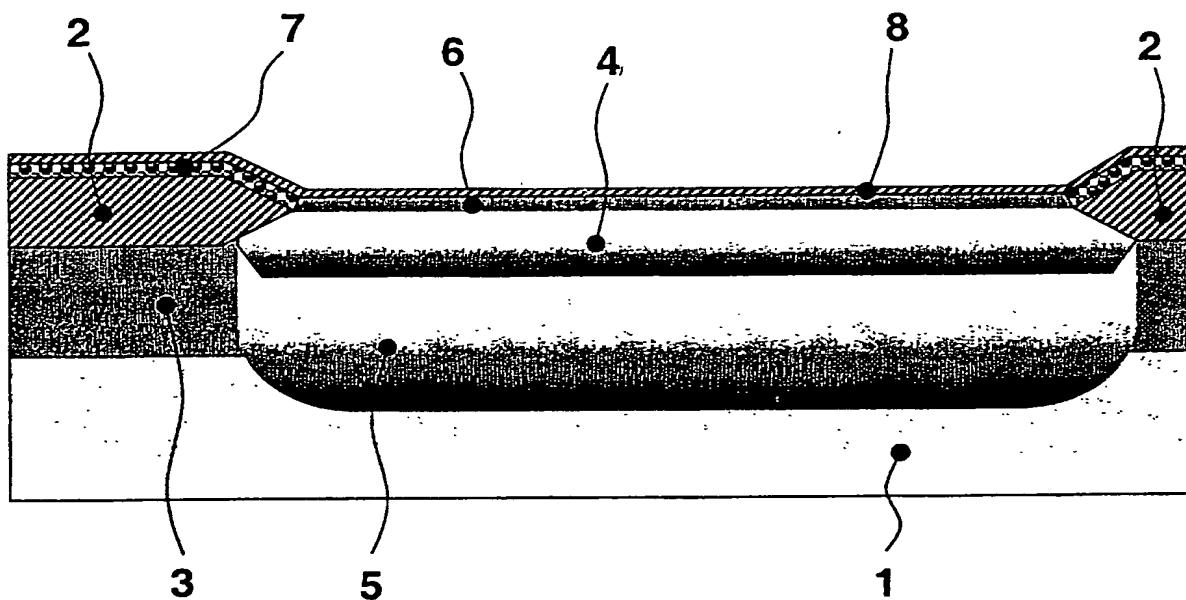
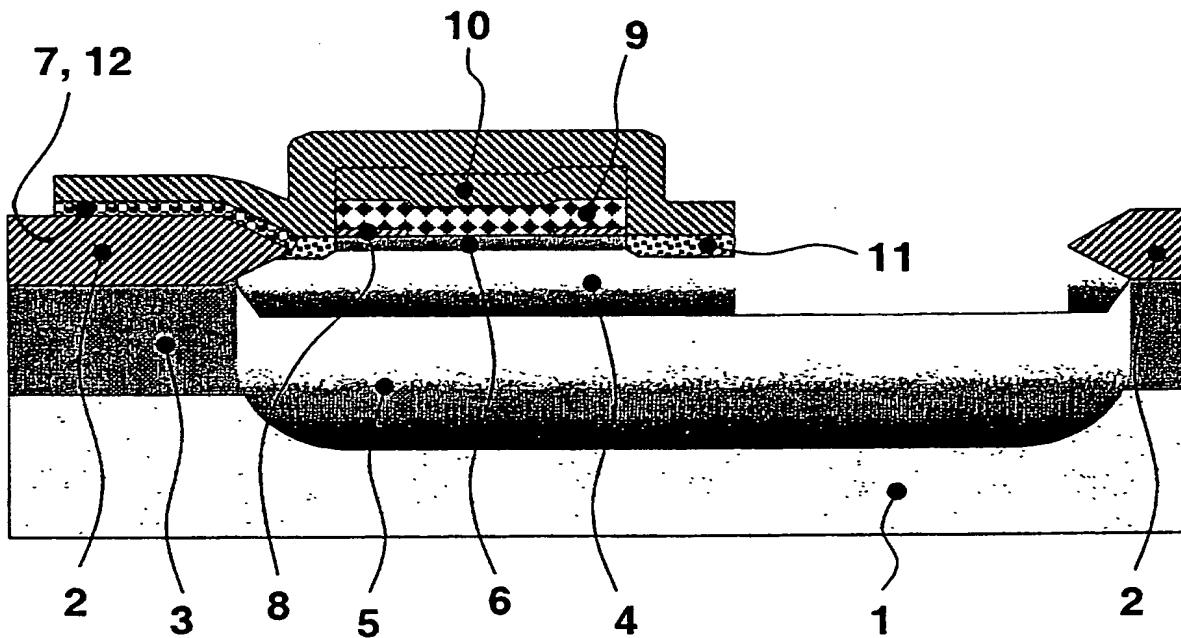
u) Rapid Thermal Annealing (RTA) bei etwa 1000°C,

v) selektive Ätzung der Si<sub>3</sub>N<sub>4</sub>/SiNO-Schichten über den Polygates und über den Polyemittergebieten,

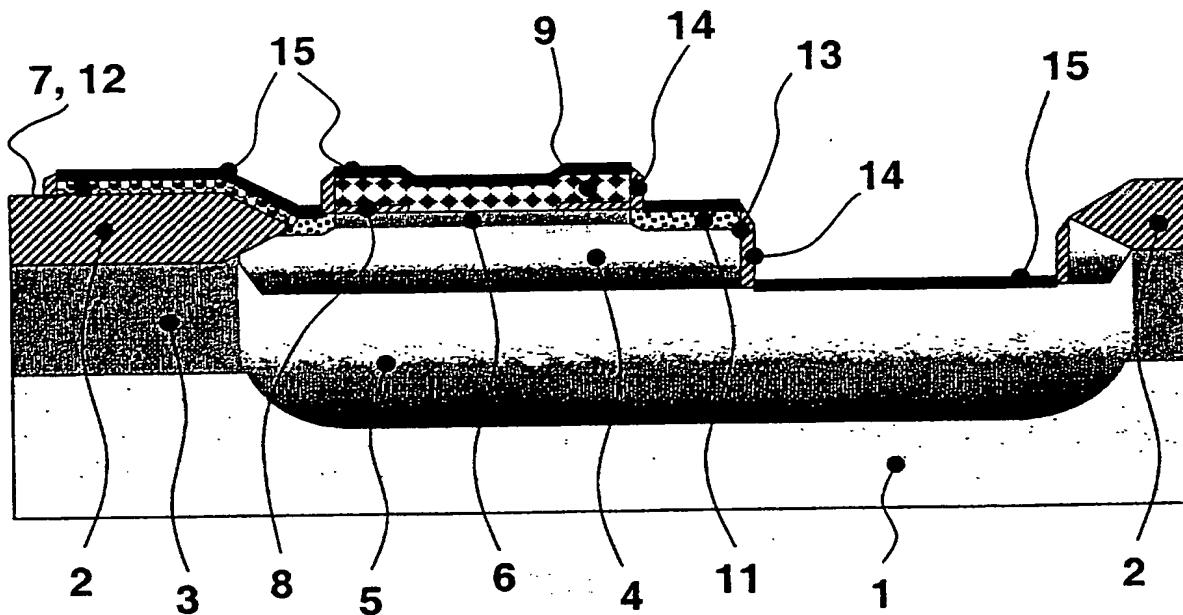
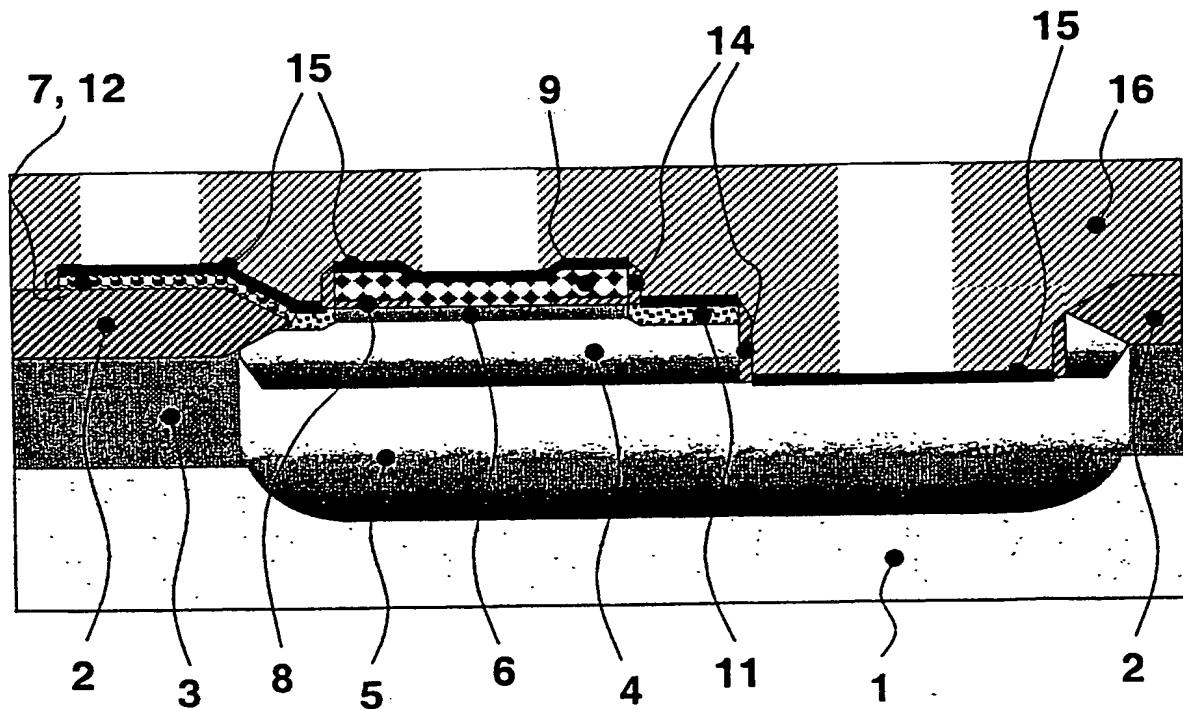
15 w) Abscheidung einer vorzugsweise etwa 20 bis 30 nm dünnen Ti-Schicht,

x) Bildung von TiSi<sub>2</sub> auf Source, Drain und Gates der MOS-Transistoren und Emitter, Basis und Kollektor der Bipolartransistoren und Entfernung der Ti/TiN-Restschichten durch selektives Ätzen (Salizid-Prozeß) und

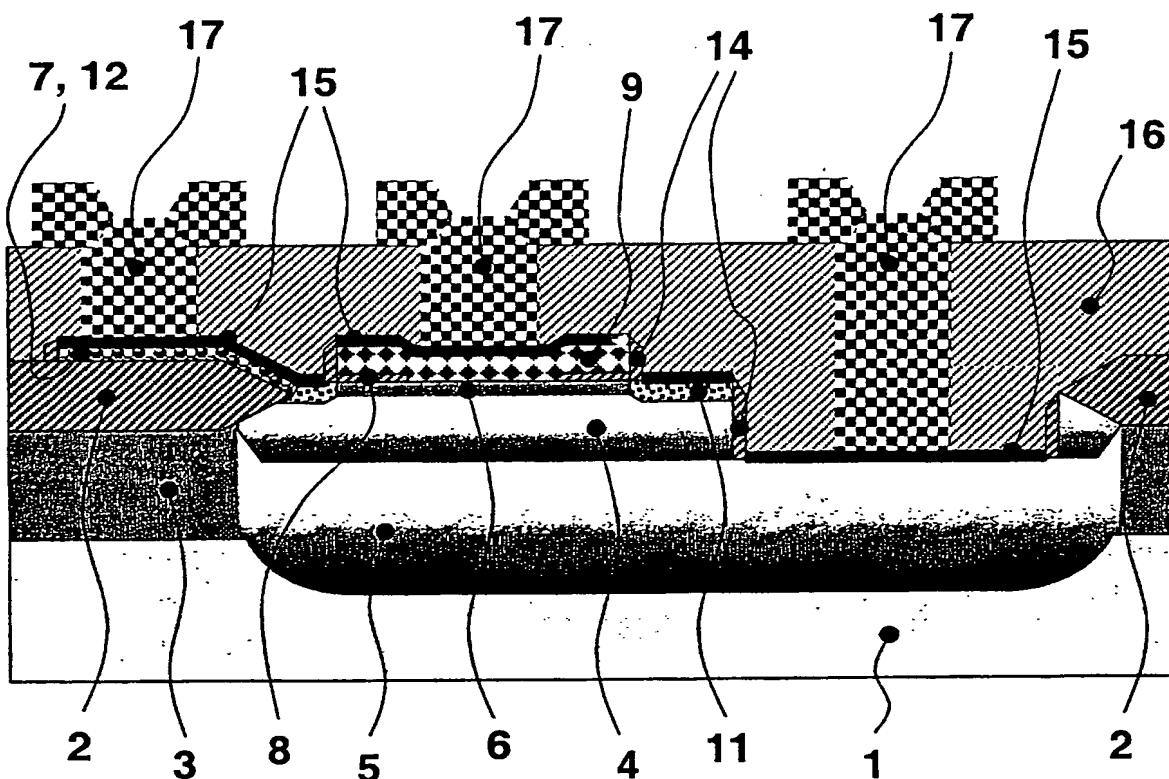
y) Isolatorabscheidung, Planarisierung, Kontaktfensteröffnung und  
20 Mehrebenenmetallisierung entsprechend bekannten Standardprozessen zur Komplettierung der BICMOS-Schaltungen.

**Fig. 1****Fig. 2**

BERICHTIGTES BLATT (REGEL 91)  
ISA/EP

**Fig. 3****Fig. 4**

BERICHTIGTES BLATT (REGEL 91)  
ISA/EP

**Fig. 5**

BERICHTIGTES BLATT (REGEL 91)  
ISA/EP

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 99/02884

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L29/732 H01L29/737 H01L29/10 H01L21/331

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 550 962 A (AMERICAN TELEPHONE AND TELEGRAPH COMPANY) 14 July 1993 (1993-07-14) the whole document ----	1,4,11, 12
A	US 5 696 007 A (RYUM ET AL.) 9 December 1997 (1997-12-09) the whole document ----	1,4
A	DE 43 01 333 A (TEMIC TELEFUNKEN) 21 July 1994 (1994-07-21) the whole document -----	1,6

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

### \* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

9 February 2000

16/02/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl  
Fax: (+31-70) 340-3016

Authorized officer

Baillet, B

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/02884

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
EP 550962	A	14-07-1993	JP	6084934 A		25-03-1994
US 5696007	A	09-12-1997	JP	9181089 A		11-07-1997
DE 4301333	A	21-07-1994	EP	0607836 A		27-07-1994
			US	5424227 A		13-06-1995

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
PCT/DE 99/02884

**A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 7 H01L29/732 H01L29/737 H01L29/10 H01L21/331

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 0 550 962 A (AMERICAN TELEPHONE AND TELEGRAPH COMPANY) 14. Juli 1993 (1993-07-14) das ganze Dokument ---	1,4,11, 12
A	US 5 696 007 A (RYUM ET AL.) 9. Dezember 1997 (1997-12-09) das ganze Dokument ---	1,4
A	DE 43 01 333 A (TEMIC TELEFUNKEN) 21. Juli 1994 (1994-07-21) das ganze Dokument -----	1,6

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- \* Besondere Kategorien von angegebenen Veröffentlichungen :
- "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

- "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
9. Februar 2000	16/02/2000
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl. Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter  Baillat, B

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/02884

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 550962 A	14-07-1993	JP	6084934 A	25-03-1994
US 5696007 A	09-12-1997	JP	9181089 A	11-07-1997
DE 4301333 A	21-07-1994	EP	0607836 A	27-07-1994
		US	5424227 A	13-06-1995